به نام خدا

شیفت رجیستر ها

آزمایشگاه مدار های منطقی – گزارش کار آزمایش شماره ۲

استاد

دکتر شاهین حسابی

دانشگاه صنعتی شریف

بهار ۱۴۰۵

تیم شماره ۲ :

محمد مهدی مرادی - ۴۰۳۱۰۶۶۸۱

محمد امین فخری - ۴۰۲۱۰۶۲۵۳

فهرست

مقدمه: ۳
آزمایشات: ٤
1- طراحی و ساخت یک شیفت رجیستر ٤
1- قسمت 1 الی 3 - شیفت رجیستر با قابلیت بارگذاری موازی و شیفت به راست ٤
1- قسمت 4 - شیفت رجیستر دو طرفه ۷
2- استفاده از شیفت رجیستر آماده ۸
2-1- ساخت یک شیفت رجیستر با استفاده از تراشه 7495 ..... ۸
2-2- تشخیص 4 رشته ی 0001، 0010، 1110 و 1101 با استفاده از مدار قبلی ۹
نتیجه و بحث: ۱۰

مقدمه:

هدف از این آزمایش، شناخت نحوه کار و پیاده سازی شیفت رجیستر ها (بعبارتی دیگر ثبات های انتقال‌دهنده) در نرم افزار پروتئوس می‌باشد. این آزمایش در دو بخش انجام میشود. در بخش اول، ابتدا به کمک فلیپ فلاپ های نوع D و گیت های منطقی، به طراحی یک شیفت رجیستر با قابلیت بارگذاری موازی و قابلیت شیفت به راست میپردازیم؛ سپس با اعمال تغییراتی در مدار یاد شده، مداری با قابلیت شیفت دوطرفه میسازیم. در بخش دوم آزمایش، با استفاده از تراشه ۷۴۹۵ مجددا به طراحی یک شیفت رجیستر با قابلیت بارگذاری موازی و قابلیت شیفت به راست میپردازیم. و در نهایت با اضافه نمودن گیت های منطقی به این مدار، مداری طراحی میکنیم که بتواند ۴ رشته ذکرشده در دستور کار را شناسایی کند.

آزمایشات:

۱- طراحی و ساخت یک شیفت رجیستر

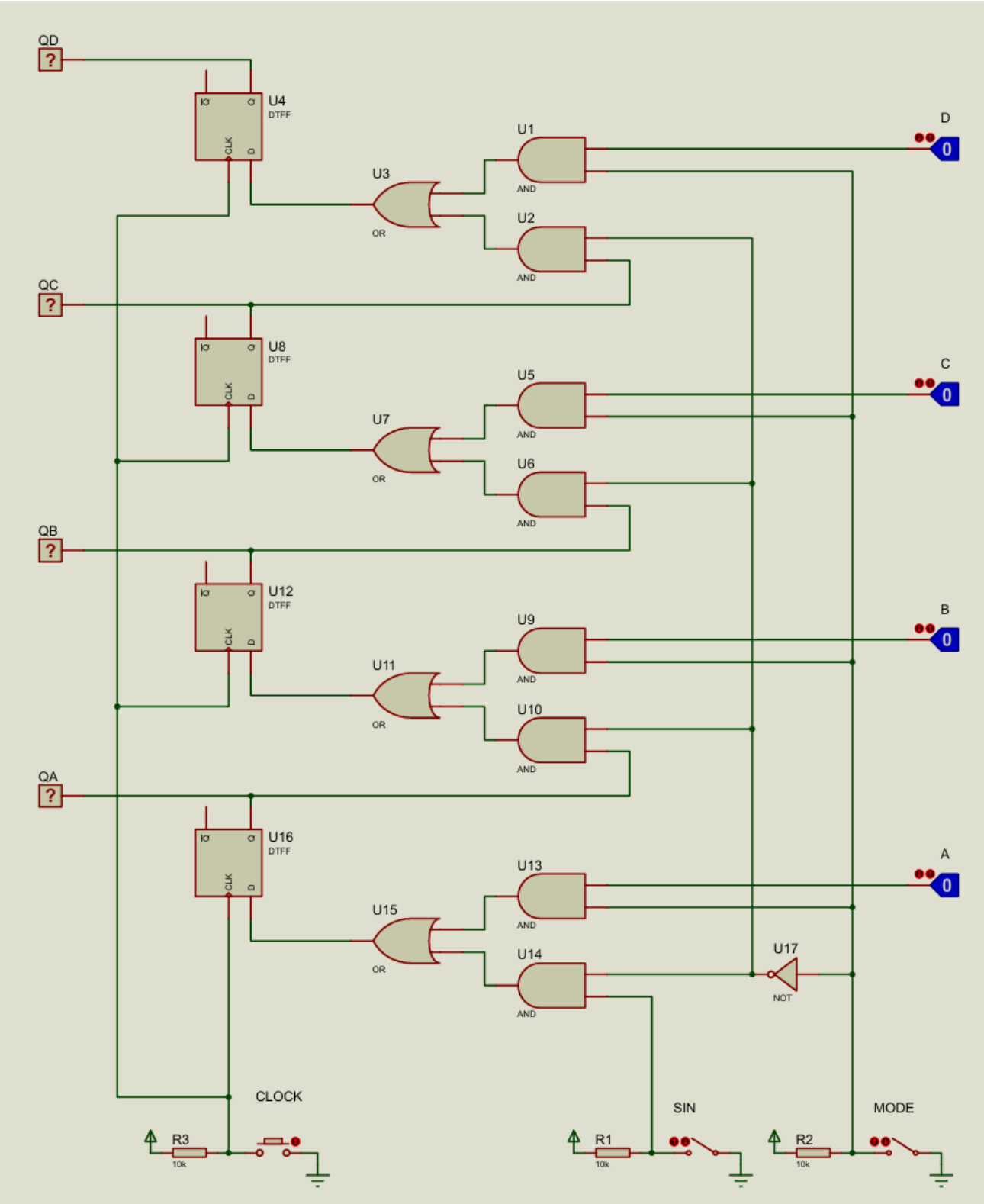
در این بخش، در قسمت های اول تا سوم آزمایش، به کمک فلیپ فلاپ های نوع D و تعدادی از گیت های منطقی، به طراحی یک شیفت رجیستر با قابلیت بارگذاری موازی (parallel input) و قابلیت شیفت به راست (Right Shift) می‌پردازیم؛ این مدار از نوع piso میباشد اما امکان مشاهده همزمان خروجی ها نیز در آن وجود دارد. در مدار بعدی، یعنی مدار قسمت چهارم، با حذف ۴ بیت ورودی موازی و تنها با استفاده از ورودی سریال (یعنی Sin)، یک شیفت رجیستر دوطرفه از نوع siso می‌سازیم.

۱- قسمت ۱ الی ۳ - شیفت رجیستر با قابلیت بارگذاری موازی و شیفت به راست

برای این بخش، کاملا مطابق با دستور کار پیش می‌رویم. همانطور که در شکل-۱ پیداست، قلب تپنده ی شیفت رجیستر، فلیپ فلاپ‌های D می‌باشند که از آنجایی که ۴ بیت ورودی و ۴ بیت خروجی داریم، به ۴ عدد از این فلیپ فلاپ ها نیاز داریم. ورودی های کلاک این فلیپ فلاپ ها را به یک push button وصل میکنیم که بوسیله آن بتوانیم عملکرد مدار را کنترل کنیم. همانطور که گفته شد، این مدار دارای دو وضعیت میباشد:

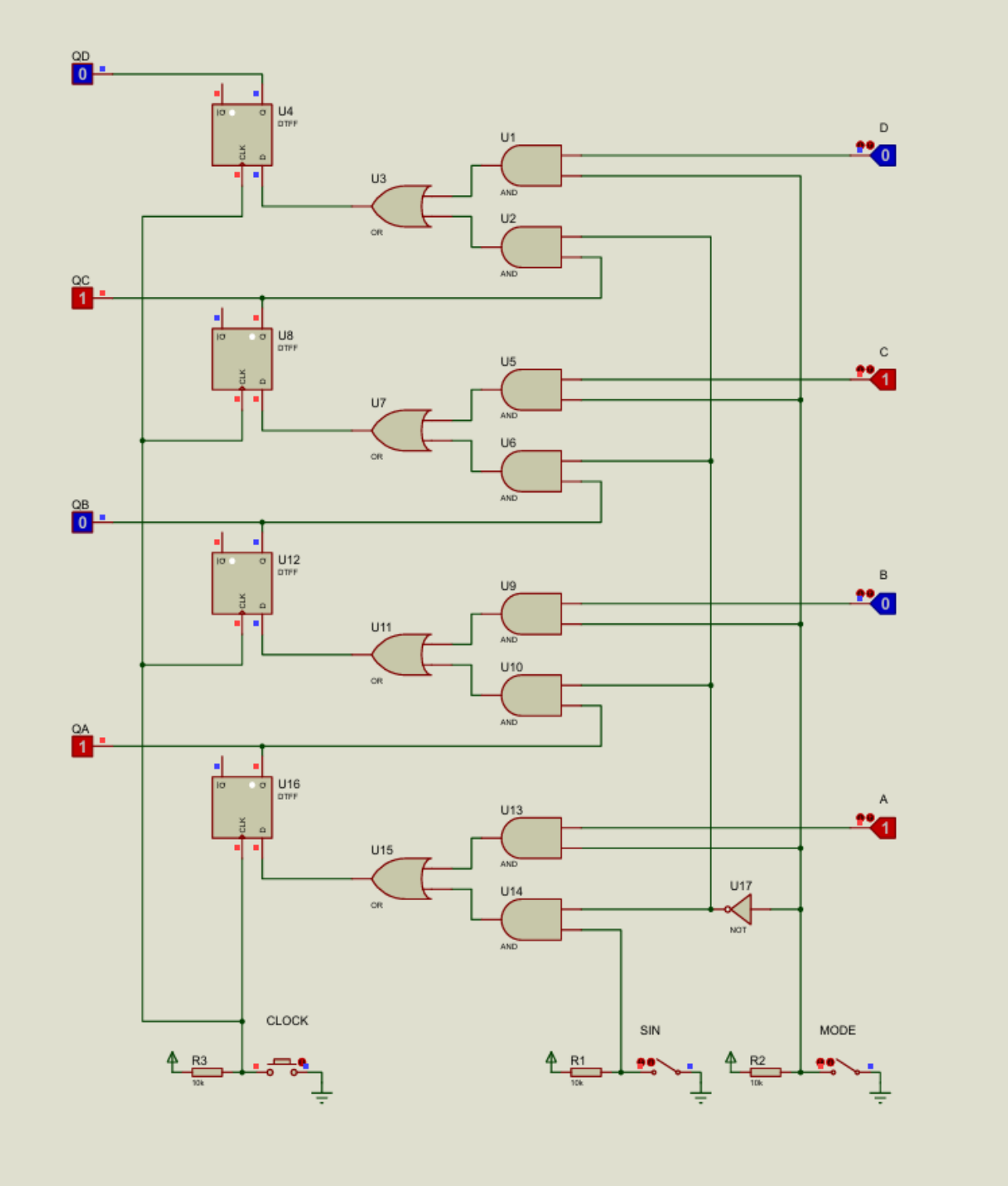
۱. ذخیره کردن ۴ بیت ورودی در فلیپ فلاپ ها بطور همزمان.
۲. شیفت دادن مقادیر ذخیره شده در فلیپ فلاپ ها به سمت راست و همچنین ذخیره شدن مقدار موجود در Sin در فلیپ فلاپ حاوی بیت پر ارزش. (یعنی شیفت از سمت بیت های پرارزش به سمت بیت های کم ارزش)

برای پایش این دو وضعیت، از یک سوئیچ به نام Mode استفاده می‌کنیم که اگر مقدارش برابر یک باشد (به power متصل باشد)، وضعیت ۱ اتفاق افتاده و اگر مقدارش برابر صفر باشد (به ground متصل باشد)، وضعیت ۲ اتفاق می‌افتد. گیت های and، or و not برای کنترل همین موضوع به شکلی منطقی در مدار گماشته شده اند تا با توجه به وضعیت سوئیچ mode، یکی از دو حالت مذکور اتفاق بیافتد. کلیه مطالب ذکر شده را در شکل- ۱ در صفحه بعد مشاهده می‌کنید.


QD
QC
QB
QA
U4
U8
U12
U16
DTFF
CLK
D
U1
U2
U3
U5
U6
U7
U9
U10
U11
U13
U14
U15
U17
AND
OR
NOT
A
B
C
D
CLOCK
SIN
MODE
R1
R2
R3
10k

شکل ۱

در قسمت دوم این سوال خواسته شده که با اعمال ورودی های مناسب، مقدار اولیه ۱۰۱۰ در شیفت رجیستر ذخیره شود. این کار به راحتی با وارد کردن این مقادیر در بیت A تا D و سپس فشردن کلید کلاک انجام میشود. به این صورت، این مقادیر داخل شیفت رجیستر ها بصورت موازی بارگذاری میشوند. (شکل-۲)

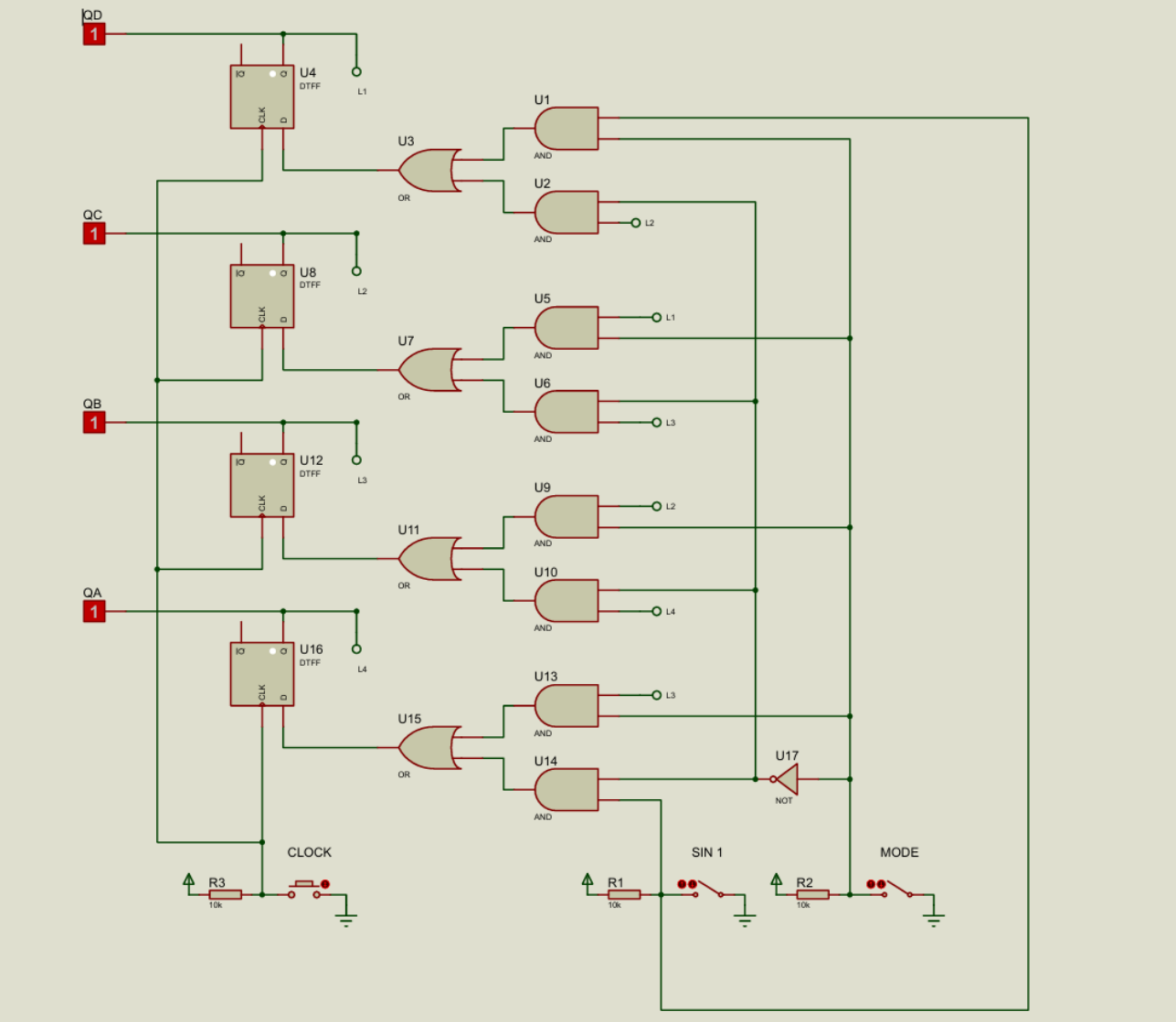


شکل ۲

۱- قسمت ۴ - شیفت رجیستر دو طرفه

این مدار در بیشتر قسمت هایش، شبیه به مدار قبلی میباشد، اما دارای ۲ تفاوت اصلی نسبت به آن است. اول آنکه این مدار برخلاف مدار قبلی، به صورت سریال ورودی میگیرد و اصطلاحا serial input میباشد، که این بدین معناست که ما ۴ بیت ورودی A تا D را در این مدار نمیبینیم و مقداردهی صرفا با Sin انجام می‌شود. تفاوت اصلی دوم این است که در این مدار امکان شیفت به چپ نیز وجود دارد. این امکان از آنجایی فراهم می‌شود که به واسطه حذف ۴ بیت ورودی موازی، حالتی که Mode مقداری برابر با ۱ داشته باشد را برای شیفت چپ قرار می‌دهیم. این عمل اینگونه انجام می‌شود که خروجی فلیپ فلاپ بالایی را به ورودی گیت AND پیش از فلیپ فلاپ پایینی (دقیقا جایی که قبلا ورودی های موازی وارد میشدند) وصل میکنیم. این کار به این معنا خواهد بود که درصورتی که Mode مقداری برابر با ۱ داشته باشد، مقدار ذخیره شده در فلیپ فلاپ حاوی بیت کم ارزش‌تر، به داخل فلیپ فلاپ حاوی بیت باارزش‌تر کناری‌اش منتقل خواهد شد که این همان شیفت چپ میباشد؛ و این دقیقا عملی ایست برعکس شیفت راست که مقادیر ذخیره‌شده در بیت های پرارزش به سمت بیت های کم ارزش تر می‌رفتند.

همچنین از Sin یک انشعاب گرفته و به ورودی گیت AND پیش از بالاترین فلیپ فلاپ (حاوی کم ارزش ترین بیت) وصل میکنیم. از این جهت، با هر بار فعال شدن کلاک، با توجه به وضعیت Mode، ورودی Sin در یکی از فلیپ فلاپ های دو سمت راست یا چپ ذخیره خواهد شد. بنابراین بدین شکل یک فلیپ فلاپ دوطرفه ساختیم.(شکل-۳)



شکل ۳

۲- استفاده از شیفت رجیستر آماده

در این قسمت ما با تراشه ۷۴۹۵ که یک شیفت رجیستر با قابلیت بارگذاری در هر دو حالت موازی و سریال است سروکار داریم. در قسمت اول آزمایش، با استفاده از این تراشه به طراحی یک شیفت رجیستر با قابلیت بارگذاری موازی و قابلیت شیفت به راست می‌پردازیم؛ و در قسمت دوم آزمایش، با اضافه نمودن گیت های منطقی به این مدار، مداری طراحی میکنیم که بتواند ۴ رشته ی ۰۰۰۱، ۰۰۱۰، ۱۱۱۰ و ۱۱۰۱ را شناسایی کند.

۲-۱- ساخت یک شیفت رجیستر با استفاده از تراشه ۷۴۹۵

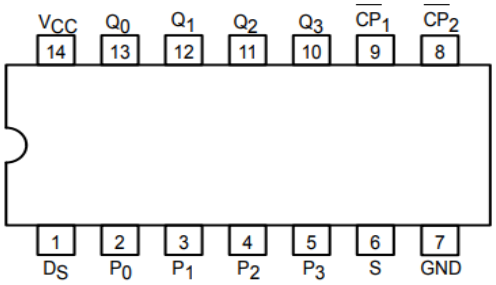
منطق این بخش کاملا شبیه به قسمت اول تا سوم آزمایش قبلی میباشد. این مدار نیز دو حالت دارد:

۱- حالت اول وقتی است که مقدار سوئیچ Mode برابر یک باشد که در این صورت با استفاده از ۴ عدد logicstate و اتصال آنها به ورودی های D0 تا D3 میتوانیم بارگذاری موازی ورودی را به تراشه داشته باشیم.

۲- حالت دوم وقتی است که سوئیچ Mode برابر صفر است که در این صورت با هر کلاک، یک شیفت به راست داریم و ورودی SI که آن هم از نوع سوئیچ است از سمت بیت پر ارزش (یعنی QA)وارد مدار میشود. به عنوان مثال اگر فرض کنیم عدد ۱۰۱۰ در تراشه ما ذخیره شده باشد و سیگنال های Mode و SI صفر باشند، اگر یک کلاک بزنیم، اعداد ذخیره شده در تراشه ما به ۰۱۰۱ تبدیل میشود و در کلاک بعدی به ۰۰۱۰ و بعد به ۰۰۰۱ و در اخر به ۰۰۰۰ تبدیل میشود.

یک نکته که درباره این تراشه جالب است، وجود دو ورودی SL و SR است؛ که ورودی SL (CP1) طبق دیتا شیت این تراشه که در شکل-۴ مشاهده میکنید یک serial clock است و ورودی SR (CP2) نیز یک parallel clock میباشد؛ که ما در این مدار، باید هردوی این ورودی‌ها را به یک سیگنال کلاک وصل کنیم تا باعث شود هر دو کلاک این تراشه به صورت سنکرون با کلاک مدار ما کار کنند. این به این علت است که ما در مدارمان از هر دو حالت ورودی دادن موازی و سریال استفاده میکنیم.(موازی در موقعی که Mode برابر با ۱ است و سریال در مواقعی که Mode برابر با ۰ است). در اخر هم شکل نهایی مدار را در شکل-۵ میبینیم.

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

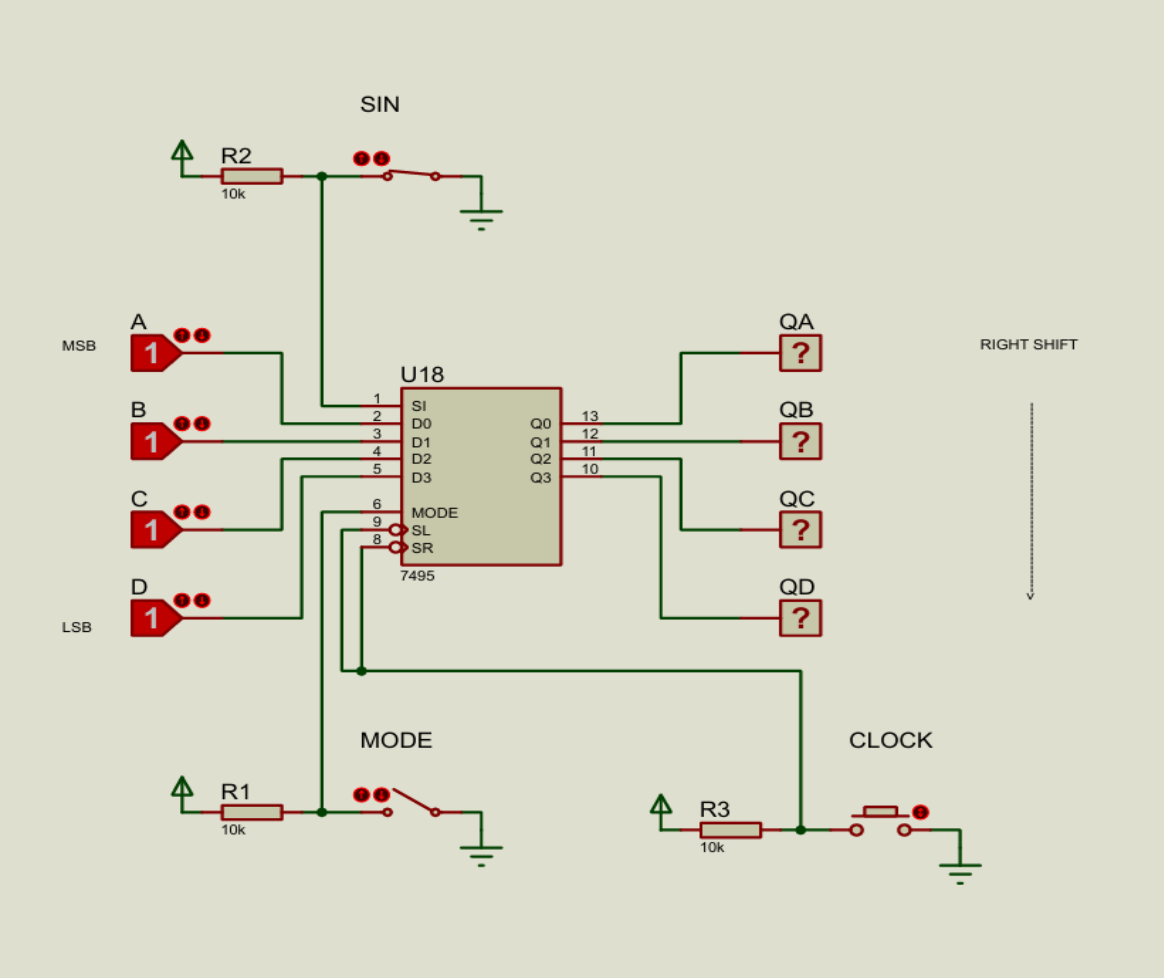
V_{CC} = PIN 14
GND = PIN 7

PIN NAMES

		LOADING (Note a) HIGH	LOW
S	Mode Control Input	0.5 U.L.	0.25 U.L.
D_S	Serial Data Input	0.5 U.L.	0.25 U.L.
P_0–P_3	Parallel Data Inputs	0.5 U.L.	0.25 U.L.
CP_1	Serial Clock (Active LOW Going Edge) Input	0.5 U.L.	0.25 U.L.
CP_2	Parallel Clock (Active LOW Going Edge) Input	0.5 U.L.	0.25 U.L.
Q_0–Q_3	Parallel Outputs (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a. 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

شکل ۴



شکل ۵

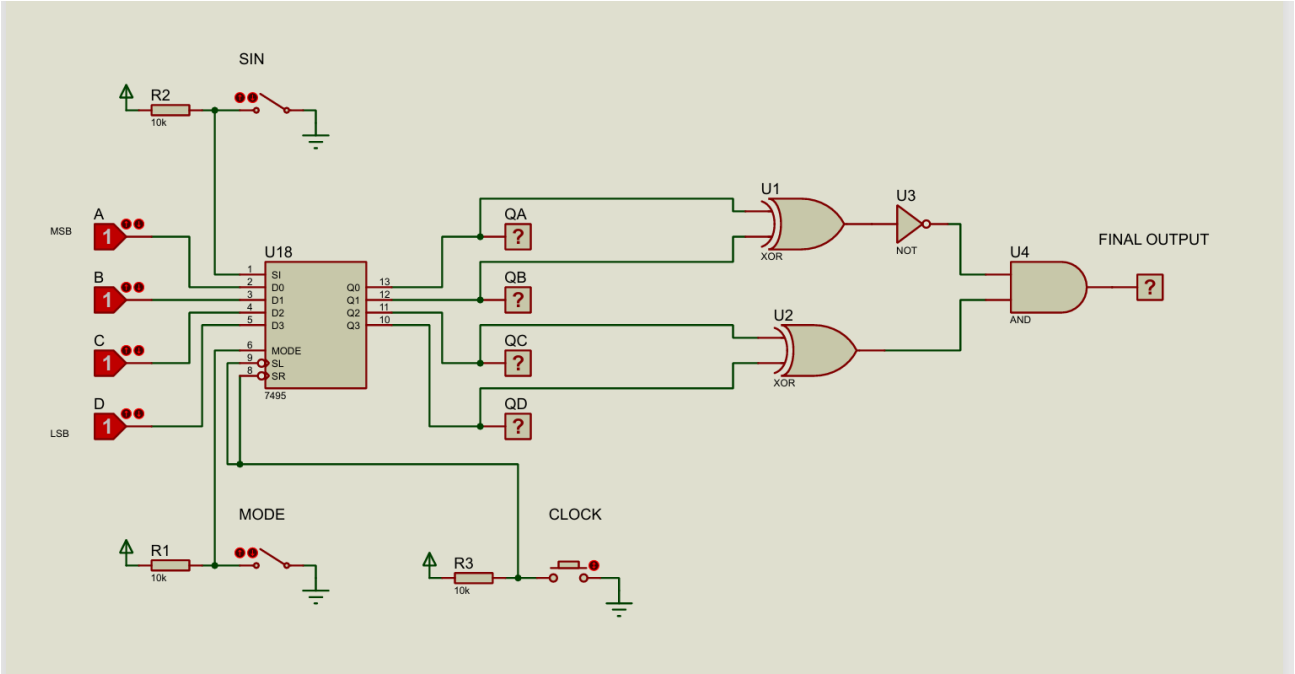
۲-۲- تشخیص ۴ رشته ی ۰۰۰۱، ۰۰۱۰، ۱۱۱۰ و ۱۱۰۱ با استفاده از مدار قبلی

در این قسمت از آزمایش می‌خواهیم که ۴ رشته خاص را بیابیم و درصورتی که یکی از این ۴ رشته داخل شیفت رجیستر ذخیره شده باشد، خروجی ۱ را نمایش دهیم. بدین منظور از همان شیفت رجیستر قسمت قبل بعلاوه ی تعدادی گیت منطقی استفاده می‌کنیم. با استفاده از روابط جبر بول، مابین این ۴ رشته ارتباطی برقرار کرده و جمله ی منطقی آن را ساده میکنیم تا با تعداد گیت کمتری مدار را بسازیم. ساده سازی این جمله را در شکل-۶ مشاهده می‌کنید. مطابق با این جمله ی منطقی، گیت های منطقی معادل را به مدار شیفت رجیستر اضافه میکنیم و در نهایت مدار موردنظر ما ساخته می‌شود.(شکل-۷)

a	b	c	d
0	0	0	1
0	0	1	0
1	1	0	1
1	1	1	0

$$\bar{a}\bar{b}\bar{c}d + \bar{a}\bar{b}c\bar{d} + abc\bar{d} + ab\bar{c}d$$
$$= \bar{a}\bar{b}(\bar{c}d + c\bar{d}) + ab(\bar{c}d + c\bar{d}) =$$
$$= \bar{a}\bar{b}(c \oplus d) + ab(c \oplus d) =$$
$$= (c \oplus d)(ab + \bar{a}\bar{b}) = \boxed{(c \oplus d).\overline{(a \oplus b)}}$$

شکل ۶



شکل ۷

نتیجه و بحث:

در این آزمایش، که آزمایش دوم درس آزمایشگاه مدارهای منطقی بود، به تجزیه و تحلیل شیفت رجیستر ها و انجام چند آزمایش شبیه‌سازی مرتبط با آن در نرم افزار Proteus پرداختیم؛ در ابتدا به کمک فلیپ فلاپ های نوع D و تعدادی از گیت های منطقی، به طراحی یک شیفت رجیستر با قابلیت بارگذاری موازی و قابلیت شیفت به راست پرداختیم، در ادامه در نرم افزار Proteus به طراحی و پیاده سازی چند حالت مختلف از این شیفت رجیسترها پرداختیم، و در نهایت در بخش اخر با تراشه ۷۴۹۵ آشنا شدیم و با استفاده از آن ۲ مدار طراحی کردیم. همچنین با اجرای گام‌به‌گام دستور کار و مشاهده خروجی‌ها (که تصاویر آنها در گزارش پیوست شده است)، صحت عملکرد تمامی مدارها تایید شد.